

Digitális rendszerek, számítógép architektúrák

2. Zárthelyi

2014-05-16

A

1. Jellemezze a szinkron írási protokolt – mikor mi történik?
2. Rajzolja fel és röviden ismertesse az arbitrációt és fajtáit
3. Definiálja a Mealy automata modellt
4. Vezérlőegység programozható makrocellákkal (fajta, ábrák, jellemző tulajdonságok)
5. Rajzolja fel a XILINX FPGA felépítését (CLB és I/O)
6. Ismertesse a dinamikus memória írás-olvasási folyamatát (idődiagramm)
7. Ismertesse a statikus memória olvasási folyamatát (idődiagramm)
8. Ismertesse, hogy hogyan programozható egy programozható VLSI (rajz+előnyök és hátrányok)
9. Rajzolja fel egy PCI buszos számítógép blokkdiagrammját.
10. Rajzoljon fel egy PCI burst read tranzakció idődiagrammját és a diagrammon mutasson példát a várakozási ciklusra mind a két egység részéről.
11. Jellemezze a szegmentált virtuális memória kezelést. – rajz+jellemző paraméterek tárolása.

3 pontos kérdések 4,5,8

2014.05.21

27H
Ezrop
A csoport.

Skolontay Norcell
Zethi

- 1.) Jellemezze a kábelmenet írási protokoll - mikor mi történik?
14. tétel 59. old

Közös drájjal működnek a kábel csatlakozó egységek.
→ a műveleti időt az drája határozza meg.

Működésük során párbeszédre (pl. handshake), gyorsabb az írási műveletnél.

Az drájet mindig a leglassabb (legtávolabb lévő) egységhez kell igazítani.

Master = Commander; Slave = Responder.

Kábelmenet adat átvitel 4 fő lépése (írás / olvasás):

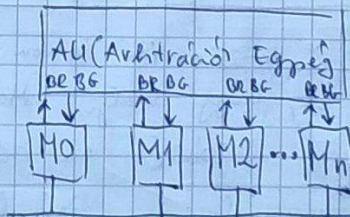
- 1.) Commander arbitrációja, kiválasztása
- 2.) Átvitel megkezdése (de még nem fogad)
- 3.) Válasz a kérésre
- 4.) Nyugtá, Responder nem az adatot.

- 2.) Rajzolja fel és röviden jellemezze az arbitráció folyamatát
14. tétel 58-59. old

Az arbitrációnál 3féleképpen van: párhuzamos

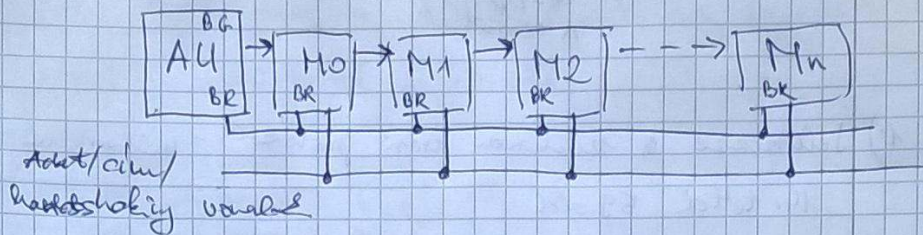
- soros (daisy chain)
- lekérdezés (polling)

a.) Párhuzamos



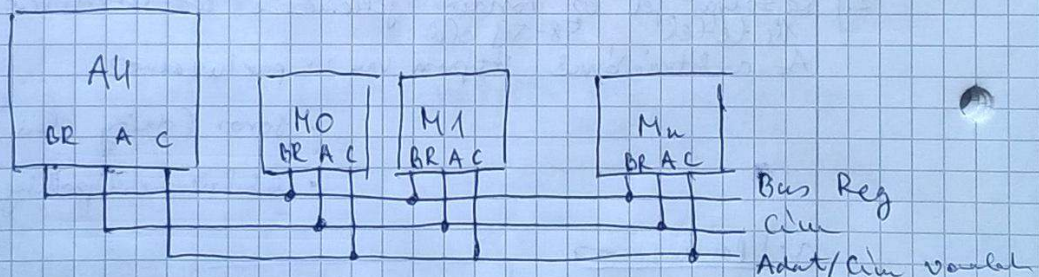
Ez a leggyorsabb módszer. Az AU vezérli a közös buszon az adatátvitelt. Hátránya, hogy drágább, mint a többi módszer (a párhuzamos áram miatt $\forall M$ -hez 2 vonal kell) és az M -ek nem korlátozottak!

b.) Soros (Daisy Chain) :



A BG vonal sorosan van kötve, míg a BR vonal $\forall$ M-hez csatlakozik. Az AU nem ismeri, hogy pontosan melyik M állítja elő a kint, ezért az átvétel egyszerűsödik, csupán azt tudja, hogy bizonyos időközönként BG jelet kell kihoznia. M0 rendelkezik a legmagasabb prioritással. Bármilyen enklét sorba kerülhet, nincs felső korlátja! Hátránya, hogy az arbitrációs idő egyenes arányban van a sorba kapcsolt M-ek számával.

c.) Poling :



$\forall$ Master egy közös BR kimenő igényelhet és az AU dönti el, hogy melyik Master-től kapta a kérést $\rightarrow$ annak a címét az address vonalra rakja.

$\forall$ ciklusban megírja az igénylést és a legmagasabb prioritással rendelkező fogadja el.

Hátránya, hogy nagyobb az időmérés a párhuzamosságnál. Nem nagyon használják.

3) Definiálja a Mealy automata modellt.

9. tétel 39. old.

A sorrendi hálózat egyik alapmodellje.
(A KH. = kombinációs hálózat, azaz csak a bemenetek függvényeként kapjuk meg).

A sorrendi hálózatokhoz megvalósító vezérlő egységként nem csak a bemenetek pillanatnyi, hanem a korábbi állapotoktól is függnek. (N memórialevél esetén 2^N lehet a régi állapotokból a rendszer elfogadni).

Három bemenete van: x - bemenetek halmaza

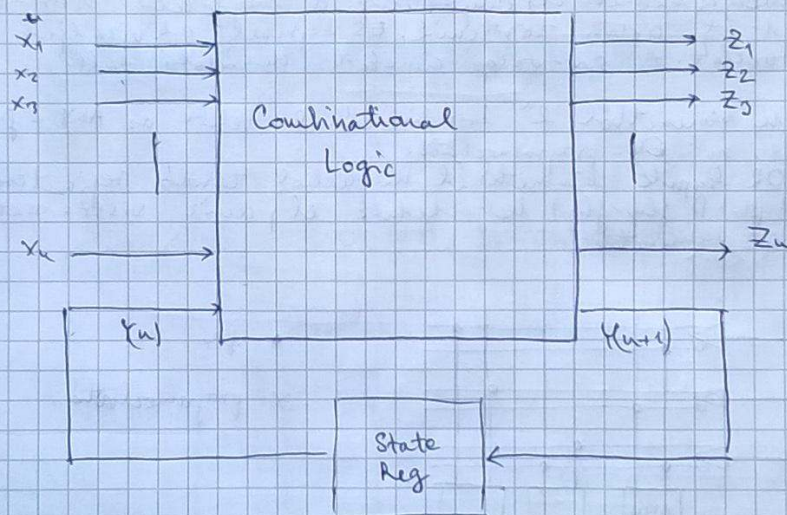
• z - kimenetek —

• y - állapotok —

Két bekezdési szabály van a halmazok között:

• $\delta(x_n, y_n) \rightarrow y_{n+1}$: következő állapot meghatározása.

• $\mu(x_n, y_n) \rightarrow z_n$: kimenet meghatározása.



Azonban problémák merülhetnek fel az állapotok és a bemenetek közötti szinkronizáció hiánya miatt (változó hosszúságú kimenet kapunk).

Ezért alkalmazhatjuk legközelebb a Moore féle automata modellt.

4.) Veszélyegység programozható makrocellákkal
(fajta, ár, jellemző tulajdonságok).

11. tétel 44-45. old.

A programozható logikai kapcsolások két fő típusa:

a.) Makrocellák / PLD-k : - PLA
- PAL
- PROM
- EPLD, CPLD

} fajta

b.) FPGA

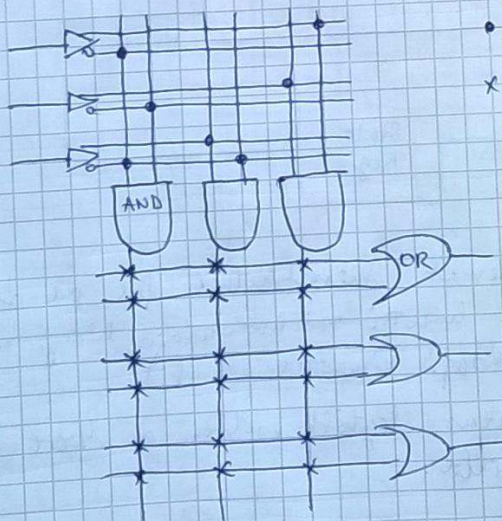
PROM (Programmable Read-Only Memory):

A benne lévő információt írás után már nem lehet megváltoztatni (különb. EPROM, EEPROM), ezért tápfeszültség nélkül is megőrzik tartalmukat. Egy cella felprogramozása a jellemzői ábrával történik, de csak egyszer egy írási ciklus engedélyezhető. A cellát meggyújtás hatására helyrekerül el, átvészeli a megfelelő sor-onlopára 1-et adva történik, és kapunk aktivizálást a kívánt cellát. A sor-onlop átvészelt dehidolati cella.

n bemenetből 2^n kombinációs kimenet az AND = fix

és az OR = programozható.

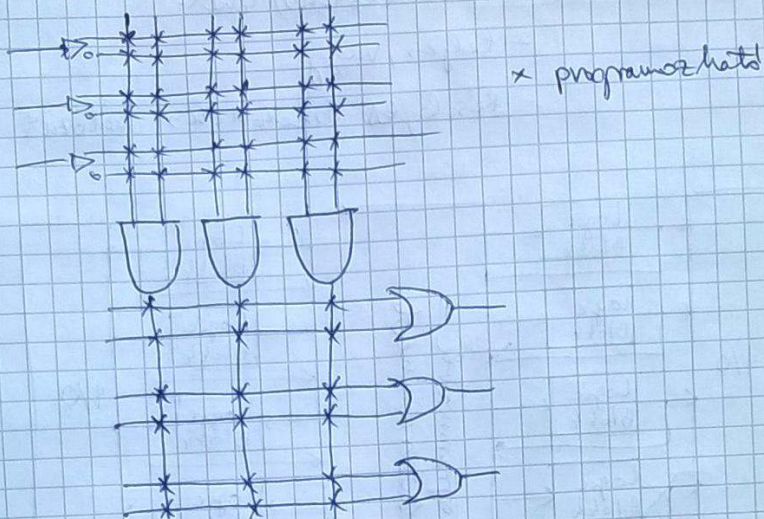
OR kapuk kombinációval mindegyik tároló regiszterek (pl. D flip-flop) helyrekerül el, amit vissza csatolással a bemenetre



• fix
x programozható.

PLA (Programmable Logic Array):

Alapja a diszjunktív normálforma = a mintermek vagy kapcsolata.
Tartalmez 3 állapoti invertálókat, AND, OR kapukat.
Itt mind az AND, mind az OR kapuk programozhatók!
Az OR kapuk kimeneténél D-tárolók vannak amik
vissza vannak csatolva a bemenethez.

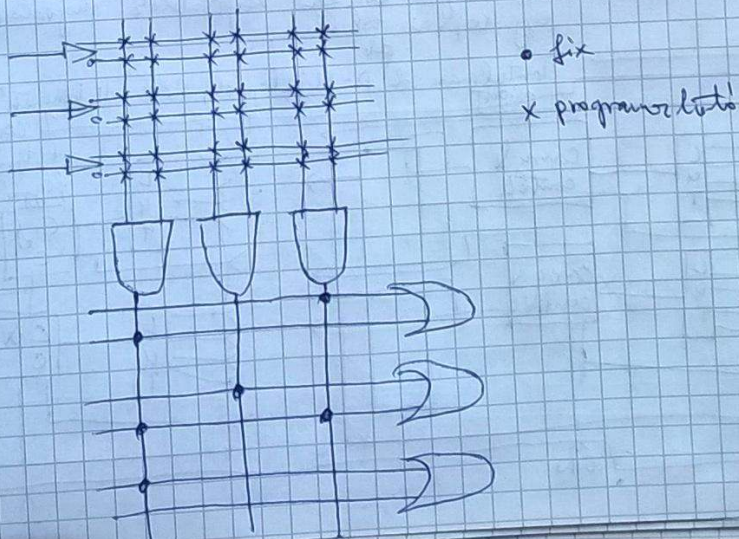


PAL (Programmable Array Logic):

Hasonló mint a PLA, ^{de} ~~csak~~ itt csak az AND kapuk
programozhatók, az OR kapuk fixek.

Gyorsabb mint a PLA, fix összeköttetés miatt, kevesebb
kapcsoló cell.

Kimenetain D-tárolók visszacsatolva a bemenethez.



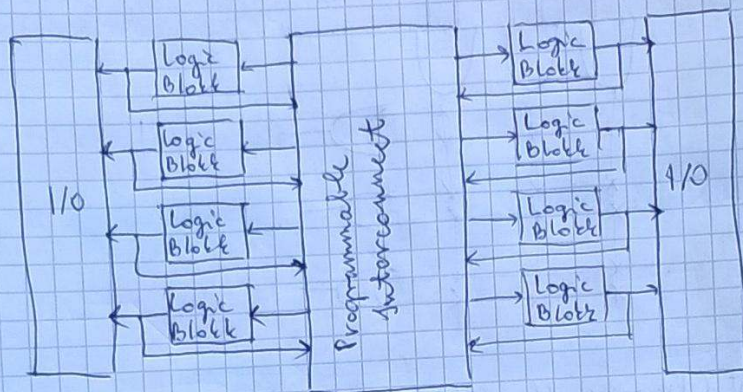
CPLD (Complex Programmable Logic Device)

Logikai Blokk -ban található elemek:

- PAL/PLA
- Regiszterek

Interconnect (ömeköthetős) lehet:

- teljes, vagy
- részleges ömeköthetős hálózat



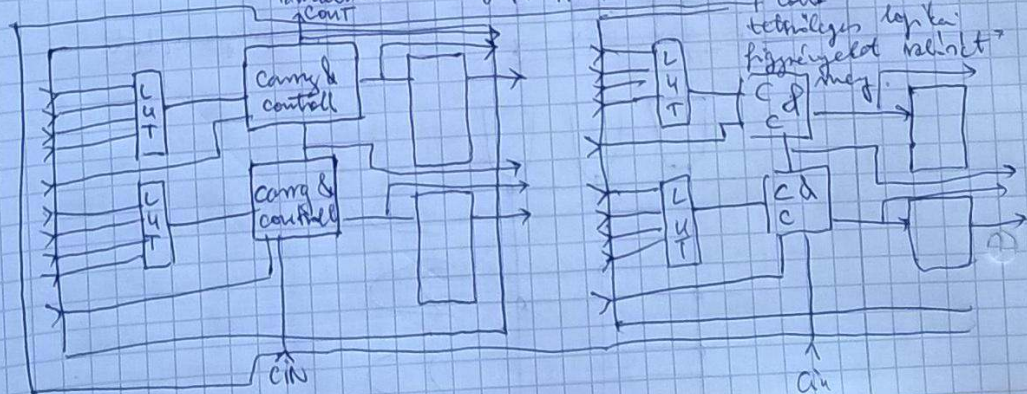
5.) Rajzolja fel a XILINX FPGA felépítést (CLB és I/O)
11. tétel 47. old

A Xilinx FPGA architektúrájának 3 alapvető építő eleme van:

- CLB (konfigurálható logikai blokk):

szükséges logikai kapcsolatok megvalósítására egy logikai tömbben.

Tartalmaz: 2 D-flipflopot, 2db 4-bemenetű LUT-t

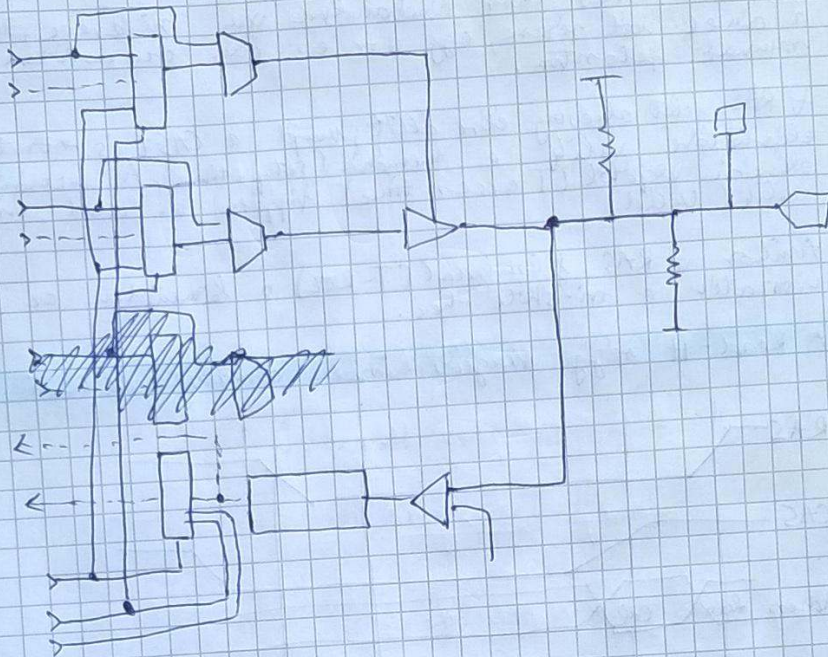


IOB (programozható be/kimeneti blokk):

kapcsolhat a belső vonalakra és a társas lánci kizít (lehet beemeneti vagy kimeneti)

Síntén D-FF-el rendelkezhet, belső puffere van nem kell az adatokat a belső láncba tartani.

A kimenet lehet nagylát vagy passzív.

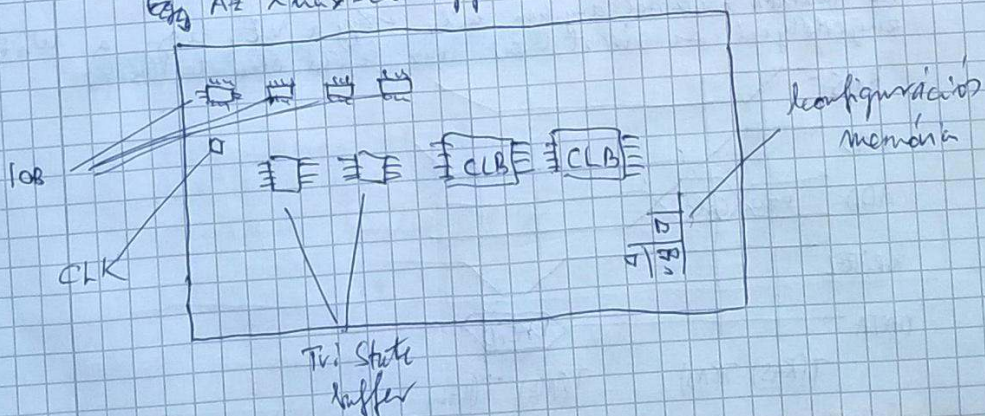


PI (programozható órelőírté)

az IOB-é és CLB-é közötti órelőírté összekötése.

A belső órelőírté programozható kapcsolóval vezérelhető meg. Három típus: egyszerűsített/duplex/komplex órelőírté

Egy Az Xilinx-el kapcsolatos



6.) Ismerte a dinamikus memória írási/olvasási folyamatát (idődiagram).

12. oldal 50. old.

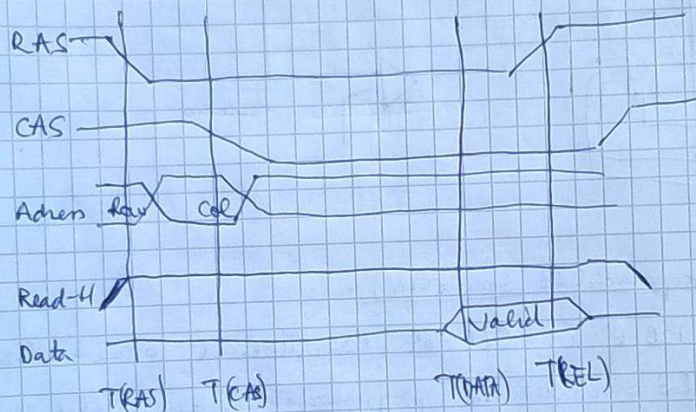
Olvasási ciklus:

A DRAM-onak több csatlakozása van, mivel a címek két részre, egy sor és egy oszlopra oszlanak fel. (RAS-CAS)

A RAS jelét alacsony állapotra állítjuk, majd a CAS is → Entin elérhetővé válik a memória (setup time). A memória elérési ideje (T access time) függően az adat elérése válik (Valid).

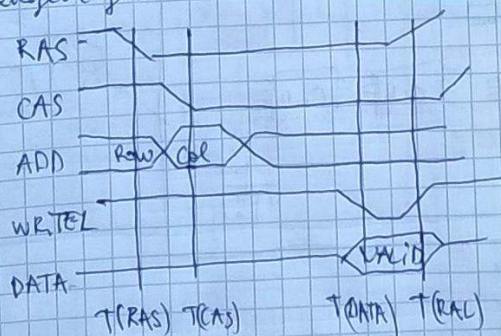
Amikor a RAS felmúlhat (T-RRL) a kimeneten az adat visszatér a tri-state-hez.

A Read-H még mindig magas, hiszen olvasási ciklust hívott meg.



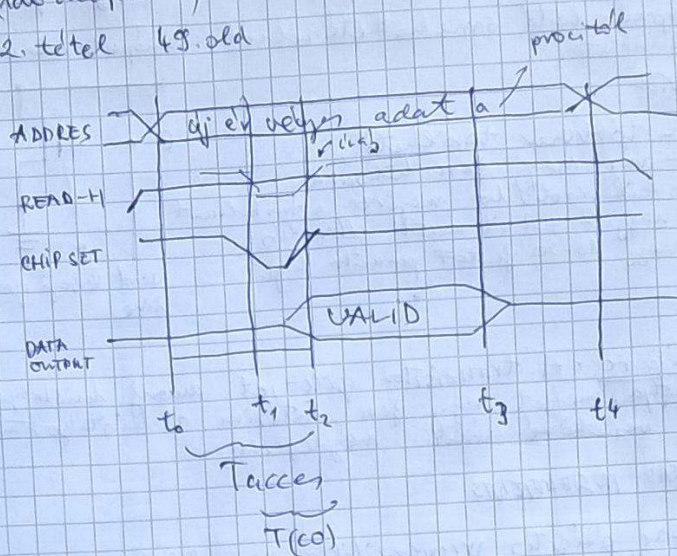
Írási ciklus:

Az írási ciklustól annyiban különbözik, hogy a WE, vagy a Write-L engedélyezése az írás (az írás lehetővé teszi a ciklust).



7.) Ismertesd a statikus memória olvasási folyamatát!
(idő diagram)

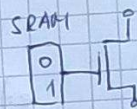
12. tétel 49. old



8.) Ismertesd, hogy hogyan programozható egy programozható VLSI
(vagy + előzők/utólagos) 11. tétel 46. old

a.) SRAM-os: az SRAM cellára egy átmeneti tranzistor van csatolva, a tranzis vagy kinyit vagy lezár.

Az SRAM cellák (0/1) betölthető, ömleszteteléből vagy a MUX államból is elhelyezhető.

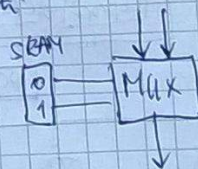


Túl - régtelen sokszor újra programozható (statikus RAM)

- táp kioldás után előzetes tartalmát
- 1 bit tárolás min. 5 tranzisból áll
- sok tranzis, nagy méret, nagy diszipáció
- nem kell frissíteni
- nagy 0.5-2.2 átmeneti ellenállás
- nagy 10-20 fF-os kapacitás

b.) Multiplexeres: az SRAM-ban tárolt 0 vagy 1 bitet kiemelve a Multiplexer bemeneti vonalának kiáramlásához

Működése mint az SRAM-é

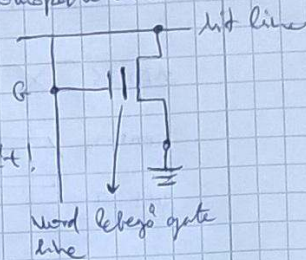


c) Floating gate = 2 gate-s transist harruend
 analuget a harrupso gate-je a lebegő gate.

Programozható ömlesztettérsel, csomópontok
 harruend

INTEL

- Tul: - többlet tövillhet
 - van nagy fen harruend
 - kikapcsolás kor megvrti a tartalmat!
 - nagy 2-4 söt menti ellendélis
 - nagy 10-20 fentt paraita kap.



d) Antifuse = A transistor gate-jét anyag harruend Si
 allatja, melyet nagy fen harruend a harruend, egy vezetékel vrt meglegesen.

TEXAS INSTRUMENTS

Tul-as átégés irreverzibilis. nem lehet
 újraprogramozni

- kis méret kis disszipáció
- kis átmeneti ellendélis 300-5
- kis paraita kap.
- ~~drága~~ drága!

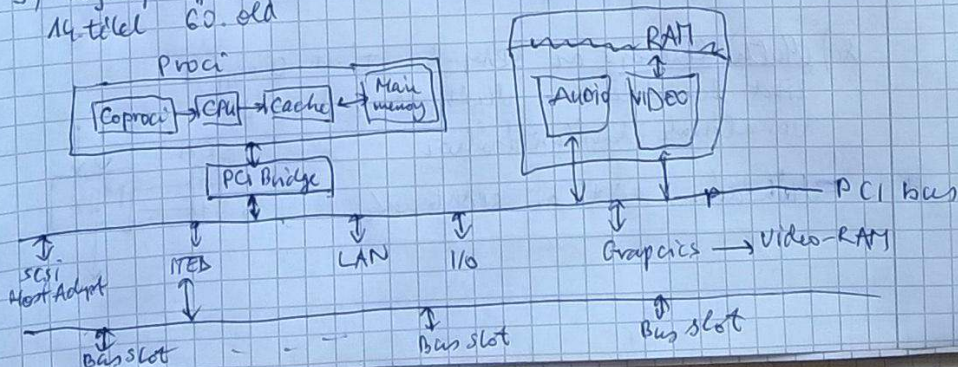


e) EPROM/EEPROM/FLASH

- Floating gate technológiát allatja.

- megvrti a tartalmat
- elektronok vrt/tövillhet meglegesen
- UV - sugaral tövillhet
- nagy átmeneti ellendélis
- nagy paraita kap.
- drága!

9) Rajzolja fel a PCI busra harruend blokkdiagramját.
 14-től 60. old



10.) Rajzoljon fel egy PCI busz read tranzakció idődiagramját és mutasson azon példát a szabványon célulra mind a két esztendő részről!

14. tétel 62. old

